

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-031261

(43)Date of publication of application : 28.01.2000

(51)Int.Cl. H01L 21/76

(21)Application number : 11-172619 (71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 18.06.1999 (72)Inventor : NAN SHINYU
JO TAKASHI
CHOI CHANG WON
KO EIKI

(30)Priority

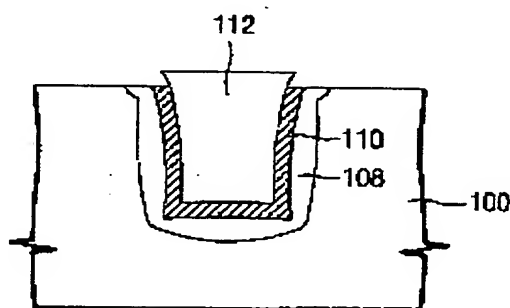
Priority number : 98 9823854 Priority date : 24.06.1998 Priority country : KR

(54) TRENCH ISOLATION FORMING METHOD OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To minimize or prevent a liner recess which is generated when a trench is formed.

SOLUTION: A trench is provided to a semiconductor substrate 100 by etching, then a thermal oxide film 108 is formed on both the side walls and base of the trench to remove damage to the surface of the substrate 100 when the trench is formed, and a trench liner 110 is formed on both the side walls of a first insulating film and the thermal oxide film. A third insulating film 112 is formed on the trench liner 110, then the second insulating film and the trench liner 110 are etched flat till the surface of the first insulating film is exposed, and the first insulating film and the trench liner 110 are removed by dry etching. In a semiconductor device trench isolation forming method as mentioned above, a dry etching where an etching rate difference between a trench forming mask and the trench liner 110 does not occur is carried out, whereby a liner recess can be prevented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号
特開2000-31261
(P2000-31261A)

(43)公開日 平成12年1月28日(2000.1.28)

(51)Int.Cl.⁷
H01L 21/76

識別記号

FI
H01L 21/76

テマコード(参考)

L

審査請求 未請求 請求項の数5 O L (全5頁)

(21)出願番号 特願平11-172619
(22)出願日 平成11年6月18日(1999.6.18)
(31)優先権主張番号 1998P23854
(32)優先日 平成10年6月24日(1998.6.24)
(33)優先権主張国 韓国(KR)

(71)出願人 390019839
三星電子株式会社
大韓民国京畿道水原市八達区梅灘洞416
(72)発明者 南 信祐
大韓民国京畿道水原市八達区仁界洞鮮京3
次アパート302-402
(72)発明者 徐 俊
大韓民国京畿道水原市八達区英通洞973-
3 漢新アパート815-1205
(74)代理人 100093779
弁理士 服部 雅紀

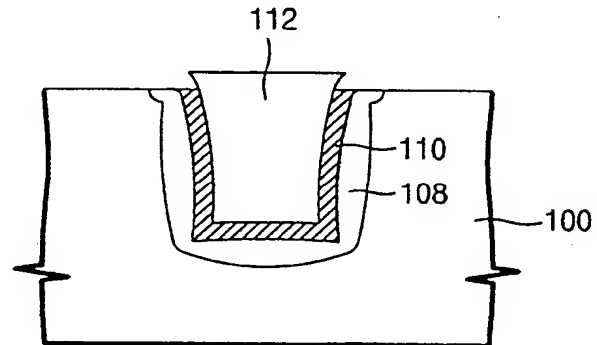
最終頁に続く

(54)【発明の名称】 半導体装置のトレンチ隔離形成方法

(57)【要約】

【課題】 トレンチ形成時に生じるライナくぼみの発生を最小化したり防止できる半導体装置のトレンチ隔離形成方法を提供することを目的とする。

【解決手段】 半導体基板100がエッチングされてトレンチが形成された後、トレンチ形成時に発生した表面損傷を除去するためにトレンチの両側壁及び下部面に熱酸化膜108が形成され、第1絶縁膜の両側壁と熱酸化膜上にトレンチライナ110が形成される。そして、トレンチライナ上に第3絶縁膜112が形成された後、第1絶縁膜の表面が露出するまで第2絶縁膜とトレンチライナ110が平坦にエッチングされ、第1絶縁膜とトレンチライナ110が乾式エッチングで除去される。このような半導体装置のトレンチ隔離形成方法は、トレンチ形成用マスクとトレンチライナ110間のエッチング率の差が起らない乾式エッチングをすることにより、ライナくぼみを防止できる。



【特許請求の範囲】

【請求項 1】 半導体基板上に形成された第 1 絶縁膜をエッチングしてトレンチ形成領域を定義するマスクパターンを形成する段階と、

前記マスクパターンをマスクとして用いて前記半導体基板をエッチングしてトレンチを形成する段階と、

前記トレンチ形成時に生じた表面損傷を除去するために前記トレンチの両側壁及び下部面に熱酸化膜を形成する段階と、

前記第 1 絶縁膜の側壁と前記熱酸化膜上にトレンチライナを形成する段階と、

前記トレンチライナ上に第 2 絶縁膜を形成する段階と、
前記第 1 絶縁膜の表面が露出するまで前記第 2 絶縁膜及びトレンチライナを平坦にエッチングする段階と、

前記半導体基板の表面が露出するまで前記第 1 絶縁膜及びトレンチライナを乾式エッチングで除去する段階と、
を含むことを特徴とする半導体装置のトレンチ隔離形成方法。

【請求項 2】 前記第 1 絶縁膜はシリコンリッチ窒化膜であり、前記トレンチライナはシリコン窒化膜であることを特徴とする請求項 1 に記載の半導体装置のトレンチ隔離形成方法。

【請求項 3】 前記第 2 絶縁膜は、USG 膜であることを特徴とする請求項 1 に記載の半導体装置のトレンチ隔離形成方法。

【請求項 4】 前記トレンチライナは 60 Å より厚く形成することを特徴とする請求項 1 に記載の半導体装置のトレンチ隔離形成方法。

【請求項 5】 前記乾式エッチングは、 Cl_2 ガスで遂行されることを特徴とする請求項 1 に記載の半導体装置のトレンチ隔離形成方法。

【発明の詳細な説明】

【0001】

【発明の属する分野】本発明は、半導体装置の製造方法に関するものであり、より詳しくは半導体装置のトレンチ隔離形成方法に関するものである。

【0002】

【従来の技術】素子が集積化することによって、浅いトレンチ隔離(shallow trench isolation:以下STI)の適用が活発になっており、特に 256M 級以上の素子では STI を利用したトランジスタ形成方法が台頭している。

【0003】図 5 乃至図 8 は、従来の半導体装置のトレンチ隔離形成方法の工程を順次的に示す流れ図である。

【0004】図 5 を参照すると、従来の半導体装置のトレンチ隔離形成方法は、まず半導体基板 10 上に絶縁膜として第 1 酸化膜 12 と窒化膜 14 が順に形成される。第 1 酸化膜 12 は熱酸化膜(thermal oxide layer)であり、窒化膜 14 はシリコン成分が多く含まれたシリコンリッチ窒化膜(Si-rich S

iN)である。窒化膜 14 上にトレンチ形成領域を定義するためのフォトリソ膜パターンが形成される(図示せず)。

【0005】フォトリソ膜パターンをマスクとして用いて半導体基板 10 の表面が露出するまで窒化膜 14 と第 1 酸化膜 12 が順にエッチングされてパターンニングされる。その次に、窒化膜 14 をトレンチ形成用マスクとして用いて半導体基板 10 をエッチングすることによりトレンチ 16 が形成される。

【0006】図 6 において、トレンチ形成のための半導体基板 10 のエッチング時に生じる損傷を補償するためにトレンチ 16 両側壁と下部面に第 2 酸化膜 18 が形成される。第 2 酸化膜 18 は熱酸化膜である。

【0007】第 1 酸化膜 12 の両側壁と窒化膜 14 と第 2 酸化膜 18 上に一定な厚さのトレンチライナ 20 が薄く形成される。トレンチライナ 20 はシリコン窒化膜で形成される。

【0008】トレンチライナ 20 は、後続工程でトレンチ 16 の側壁と内部を酸化物質で充填する時、酸素が酸化物質を通してトレンチの両側壁に移動することを防止するための膜として用いられる。

【0009】言い換えれば、シリコン窒化膜はトレンチ内部を酸化物質で充填した後、酸化(oxidation)工程によりトレンチ側壁が酸化することによって酸化物質の体積膨脹による漏洩電流により素子のリフレッシュ(refresh)機能が低下することを防止するための膜である。

【0010】トレンチライナ 20 によってトレンチ形成後、酸化工程時トレンチ内部の酸化物質を通して酸素がトレンチ側壁に到達できなくなる。

【0011】次には、アクティブ領域間の絶縁領域即ち、トレンチ隔離を形成するためにトレンチライナ 20 上にトレンチ 16 を充填するように第 3 酸化膜 22 が厚く形成される。第 3 酸化膜 22 は、USG(undoped silicate glass)膜である。

【0012】図 7 を参照すると、第 2 酸化膜 18 の一部厚さが露出するまで第 3 酸化膜 22 が CMP(chemical mechanical polishing)工程で平坦にエッチングされる。

【0013】最後に、図 8 において、トレンチ形成用マスクである窒化膜 14 が湿式エッチング工程で除去される。湿式エッチングはリン酸(H_3PO_4)溶液で遂行される。

【0014】上述のように、リフレッシュ機能を改善するためにトレンチの両側壁と底にトレンチライナを形成すると、窒化膜 14 のエッチング時にトレンチ形成用マスクである窒化膜 14 とトレンチライナの一部が同時にエッチングされる問題が生じる。

【0015】これは窒化膜 14 であるシリコンリッチ窒化膜がトレンチライナであるシリコン窒化膜に比べてエ

エッチング率が1/3程度に小さいためである。即ち、窒化膜14の湿式エッチング時にトレンチライナが窒化膜14よりエッチングが3倍程度速くなる。

【0016】従って、アクティブ領域とトレンチ隔離間のトレンチライナがオーバーエッチングされてライナくぼみ(liner dent)24が生じることになる。

【0017】ライナくぼみ24のような損傷は、トレンチ隔離が形成された後の後続ゲート電極の形成時ライナくぼみ24部分のゲート酸化膜成長が揃わず、ライナくぼみ24部分にゲートポリシリコンのエッチング時ポリシリコンが一部残っていることになる。それによってゲート電極形成工程時ショット失敗(short fail)が生じることになる。

【0018】また、トレンチライナ18の場合、厚く蒸着するほど素子のリフレッシュ機能は向上する反面、ライナくぼみ現象が深化する問題が生じるためにライナ窒化膜を60Å以上の厚さで形成することは不可能である。

【0019】

【発明が解決しようとする課題】本発明は、上述の諸般問題点を解決するため提案されたものであって、トレンチ形成時に生じるライナくぼみの発生を最小化したり防止できる半導体装置のトレンチ隔離形成方法を提供することを目的とする。

【0020】

【課題の解決するための手段】上述の目的を達成するための本発明によると、半導体装置のトレンチ隔離形成方法は、半導体基板上に形成された第1絶縁膜をエッチングしてトレンチ形成領域を定義するマスクパターンを形成する段階と、マスクパターンをマスクとして用いて半導体基板をエッチングしてトレンチを形成する段階と、トレンチ形成時に生じた表面損傷を除去するためにトレンチの両側壁及び下部面に熱酸化膜を形成する段階と、第1絶縁膜の両側壁と熱酸化膜上にトレンチライナを形成する段階と、トレンチライナ上に第2絶縁膜を形成する段階と、第1絶縁膜の表面が露出するまで第2絶縁膜とトレンチライナを平坦にエッチングする段階と、半導体基板の表面が露出するまで第1絶縁膜とトレンチライナを乾式エッチングで除去する段階とを含む。

【0021】図4を参照すると、本発明の実施例による新規した半導体装置のトレンチ隔離形成方法は、半導体基板がエッチングされてトレンチが形成された後、トレンチ形成時生じた表面損傷を除去するためにトレンチの両側壁及び下部面に熱酸化膜が形成され、第1絶縁膜の両側壁と熱酸化膜上にトレンチライナが形成される。そして、トレンチを含んでトレンチライナ上に絶縁膜が形成された後、第1絶縁膜の表面が露出される時まで第2絶縁膜とトレンチライナが平坦にエッチングされ、第1絶縁膜とトレンチライナが乾式エッチングで除去される。このような半導体装置のトレンチ隔離形成方法は、

トレンチ形成用マスクであるシリコンリッチ窒化膜とトレンチライナであるシリコン窒化膜間のエッチング率差がない乾式エッチングをすることにより、ライナくぼみを防止でき、トレンチライナを厚く形成することができ、従って、素子のリフレッシュ機能を向上できる。

【0022】

【発明の実施の形態】以下、図1乃至図4を参照して本発明の実施例を詳しく説明する。

【0023】図1乃至図4は、本発明の実施例による半導体装置のトレンチ隔離形成方法の工程を順次的に示す流れ図である。

【0024】図1を参照すると、本発明の半導体装置のトレンチ隔離形成方法は、まず半導体基板100上に第1酸化膜102が形成される。第1酸化膜102は熱酸化膜(thermal oxidation)であり、160Å乃至200Åの厚さ範囲で形成される。

【0025】第1酸化膜102上に窒化膜104が形成される。窒化膜104は窒化膜104によりアクティブ領域が受けるストレスを減少させるためにシリコン成分が多く含まれたシリコンリッチ窒化膜で形成される。

【0026】そして、窒化膜104上にトレンチ形成領域を定義するためのフォトリソスト膜パターンが形成される(図示せず)。フォトリソスト膜パターンをトレンチ形成領域を定義するためのマスクとして用いて半導体基板100の表面が露出するまで窒化膜104と第1酸化膜102が順にエッチングされてパターンニングされる。次に、フォトリソスト膜パターンが灰化(ashing)工程で除去される。

【0027】窒化膜104をトレンチ形成用マスクとして用いて半導体基板100をエッチングすることによりトレンチ106が形成される。

【0028】図2において、トレンチ106の両側壁と下部面に第2酸化膜108が形成される。第2酸化膜108は熱酸化工程で形成された熱酸化膜である。熱酸化膜はトレンチ106のエッチング工程時に基板に生じた損傷を修復するための膜である。

【0029】第1酸化膜102の両側壁と窒化膜104と第2酸化膜108上にトレンチライナ110が一定な厚さで形成される。トレンチライナ110はシリコン窒化膜で形成される。

【0030】トレンチライナ110は、トレンチ隔離形成後酸化工程で酸素(O₂)がトレンチの内部を充填する酸化膜質を通してトレンチ側壁を酸化させることを防止するための膜である。トレンチ側壁に酸化が生じると、これによるトレンチ側壁の体積増加でトレンチ側壁が応力(stress)を受けることになってシリコンのディスロケーション(dislocation)を誘発する場合がある。

【0031】次に、トレンチライナ110上にトレンチ106を充填するように第3酸化膜112が形成され

る。第3酸化膜112はUSG膜で形成される。

【0032】図3を参照すると、窒化膜104の表面が露出するまで第3酸化膜112とトレンチライナ110が平坦にエッチングされる。エッチングはCMP工程で遂行される。この際、窒化膜104の一部厚さが除去される(図示せず)。

【0033】そして、第3酸化膜112は、エッチング率の差により窒化膜104の下部分までエッチングされる。これは、後続工程で窒化膜104のエッチングを容易にする。

【0034】図4において、半導体基板100の表面が露出するまで窒化膜104とトレンチライナ110がアクティブ領域の半導体基板100の損傷(damage)を防止するために乾式エッチングで除去される。従来、湿式エッチングで除去し、窒化膜104の除去時にトレンチライナ110が湿式エッチング溶液即ち、リン酸(H_3PO_4)で窒化膜104に比べて早くエッチングされてライナくぼみが生じていた。

【0035】しかし、本発明では乾式エッチングで除去することによりシリコン(Si)含量によるシリコン窒化膜間のエッチング率差がないためライナくぼみが生じない。従って、トレンチライナ110の厚さを従来の60Åより厚く形成でき、リフレッシュ機能を向上させることになる。

【0036】乾式エッチングは、 Cl_2 ガスで遂行される。この際、窒化膜104と半導体基板100間の第1酸化膜102上に半導体基板100の損傷なく窒化膜104を除去するために第1酸化膜102と窒化膜104の選択比が3:1以上の条件を有する。

【0037】最後に、第1酸化膜102が湿式エッチングで除去されてトレンチ隔離が形成される。この際、第3酸化膜112の一部は除去され、一部は残っていることになる。

【0038】

【発明の効果】本発明は、トレンチ形成用マスクであるシリコンリッチ窒化膜とトレンチライナであるシリコン窒化膜間のエッチング率の差がない乾式エッチングをすることにより、ライナくぼみを防止でき、トレンチライナを厚く形成することができ、従って、素子のリフレッシュ機能を向上できる。

【図面の簡単な説明】

【図1】本発明の実施例による半導体装置のトレンチ隔離形成方法の工程を順次的に示す流れ図である。

【図2】本発明の実施例による半導体装置のトレンチ隔離形成方法の工程を順次的に示す流れ図である。

【図3】本発明の実施例による半導体装置のトレンチ隔離形成方法の工程を順次的に示す流れ図である。

【図4】本発明の実施例による半導体装置のトレンチ隔離形成方法の工程を順次的に示す流れ図である。

【図5】従来の半導体装置のトレンチ隔離形成方法の工程を順次的に示す流れ図である

【図6】従来の半導体装置のトレンチ隔離形成方法の工程を順次的に示す流れ図である。

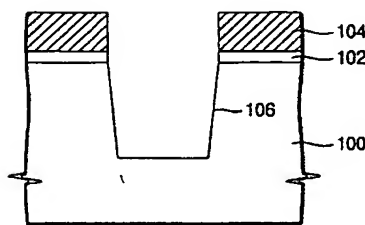
【図7】従来の半導体装置のトレンチ隔離形成方法の工程を順次的に示す流れ図である。

【図8】従来の半導体装置のトレンチ隔離形成方法の工程を順次的に示す流れ図である。

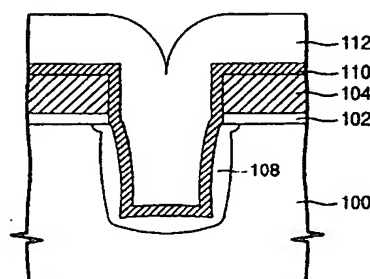
【符号の説明】

- 10、100 半導体基板
- 12、102 第1酸化膜
- 14、104 窒化膜
- 16、106 トレンチ
- 18、108 第2酸化膜
- 20、110 トレンチライナ
- 22、112 第3酸化膜
- 24 ライナくぼみ

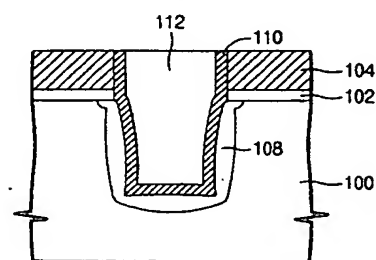
【図1】



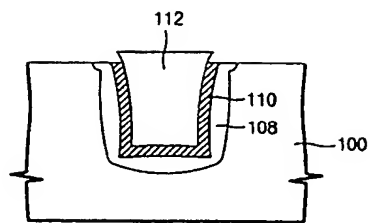
【図2】



【図3】

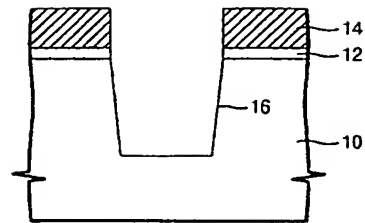


【図4】

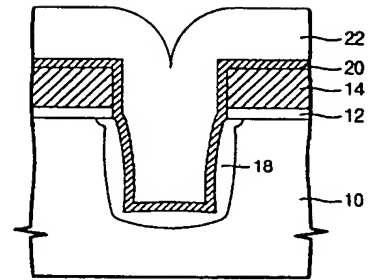


【図5】

(Prior Art)

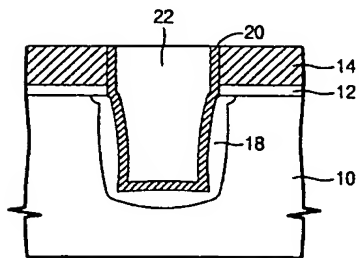


【図6】



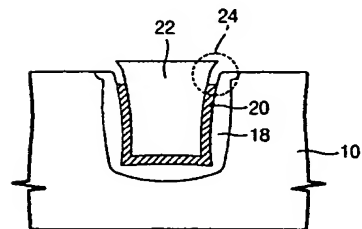
【図7】

(Prior Art)



【図8】

(Prior Art)



フロントページの続き

(72)発明者 崔 昶源

大韓民国ソウル市江東区城内洞419-13東
亜アパート101-1204

(72)発明者 洪 瑛基

大韓民国京畿道安山市城浦洞鮮京アパート
18-501